

① 대 한 민 국 특 허 청 (KR)
 ② 공 개 특 허 공 보 (A)

③ Int. CL⁶
 F 23 G 5/00

제 1478 호

④ 공개일자 1995. 4. 21

⑤ 공개번호 95- 9072

⑥ 출원일자 1993. 9. 24

⑦ 출원번호 93-19686

심사청구 : 있음

⑧ 출원인 발명자 주식회사 대왕소각 엔지니어링 대표 김 미 정

서울특별시 강남구 역삼동 722-4

한 명 국 대전직할시 동구 용천동 130-14호

⑨ 대리인 번리사 김 원 식

(전 3면)

⑩ 산업폐기물(產業廢棄物)의 소각장치용(燒却裝置用)

볼텍스스크러버(Vortex Scrubber)

⑪ 묘 약

본 발명은 산업폐기물을 소각시키는 소각장치에 설치한 사이클론 집진기와 연결하여 구성하는 것으로서 사이클론 집진기에서 미집진(未集塵)된 연소가스와 미세한 분진(粉塵)을 재차 포집(捕集)할 수 있도록 내부에 대향류를 형성시키고 이에 포집망을 갖는 방사망의 포집날개를 즉(軸)상에 설치하여 상기 포집날개의 절반 이상이 대향류 속에 치지(撲濱)된 상태로 회전되도록 하므로서 포집망에 부착포집된 분진이 대향류를 통과할 때 자동적으로 탈진(脫塵除去)되게 한 것이다.

공개특허 95-9072

특허청구의 범위

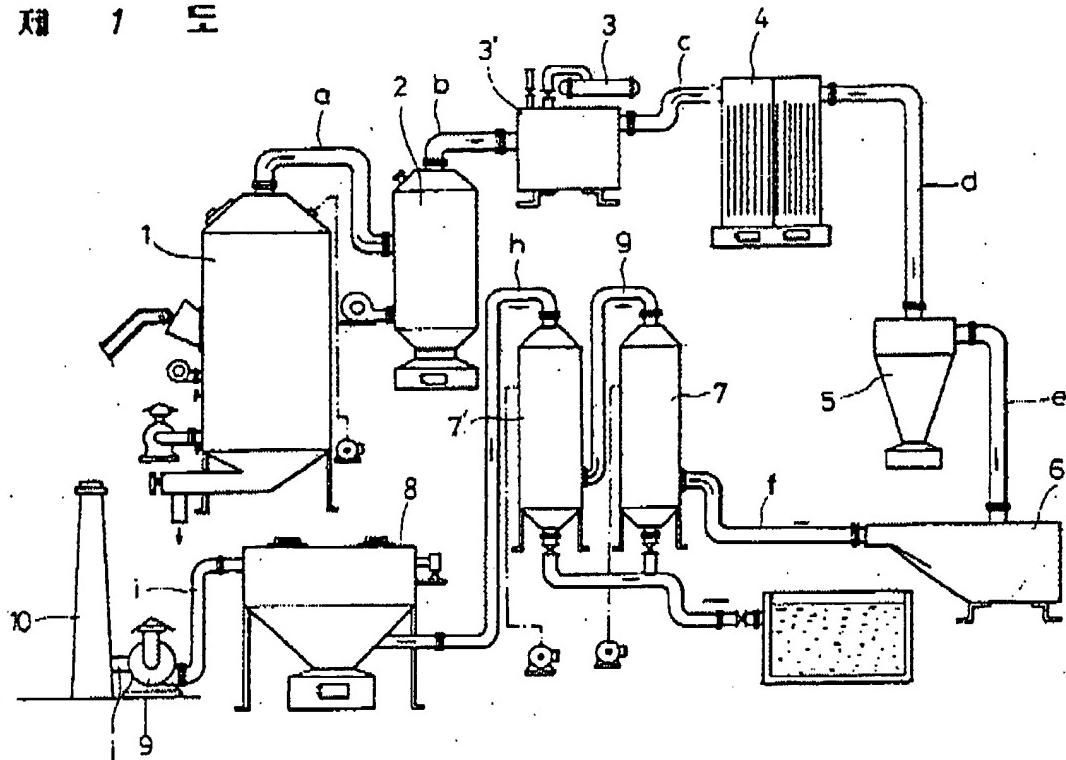
1. 소각로(1)와 가스 소각로(2) 및 온수 가열기(3)를 갖는 보일러(3')에 이어 풍냉식 열 교환기(4)와 싸이클론
진진기(5) 및 볼텍스 스크리버(6)에 2개의 스프레더버(7)(7')와 배그필터(8) 및 송풍기(9)를 줄뚝(10)에 각각 연결
판(a-i)으로 연결하여 설치한 소각장치에 있어서, 상기 볼텍스 스크리버(6)의 상부와 축부로 연결판(e)(f)이
구성되고 그 내부에 모우터(M)의 구동력으로 회전하는 죽(13')에 포집망(15)이 형성된 포집날개(13)를 상사상
으로 배열되어 상기 포집날개(13)의 절반이상이 용적된 대향류(a)속에 침지된 상태로 회전되도록 함과 동시에
부문안막이(18)로 구성한 전방내 상부에서는 급수관(11)과 연결된 살수관(17)에 살수공(16)을 천공시켜 설치한
것을 특징으로 하는 산업폐기물의 소각장치용 볼텍스 스크리버(產業廢棄物의 燃却裝置用 Vortex Scrubber).

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면의 간단한 설명

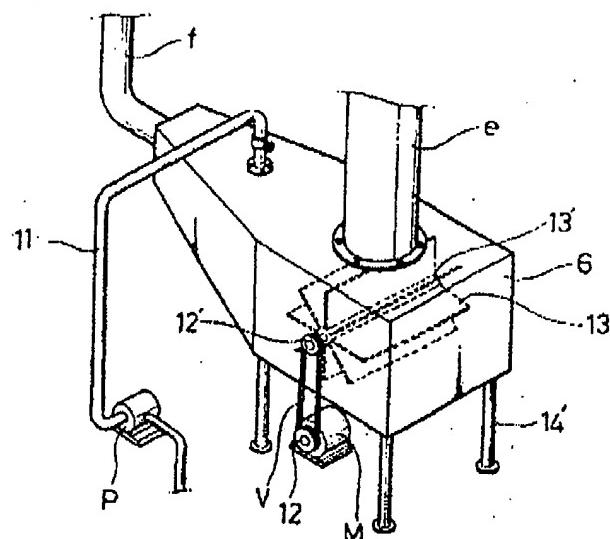
제1도는 본 발명에 따른 소각장치의 전체구성을 나타낸 개봉도, 제2도는 본 발명의 요무 사시도, 제3도는 본
발명 제2도의 내부 구성을 보인 단면도, 제4도는 본 발명에 의한 포집날개의 상세 사시도.

제 1 도

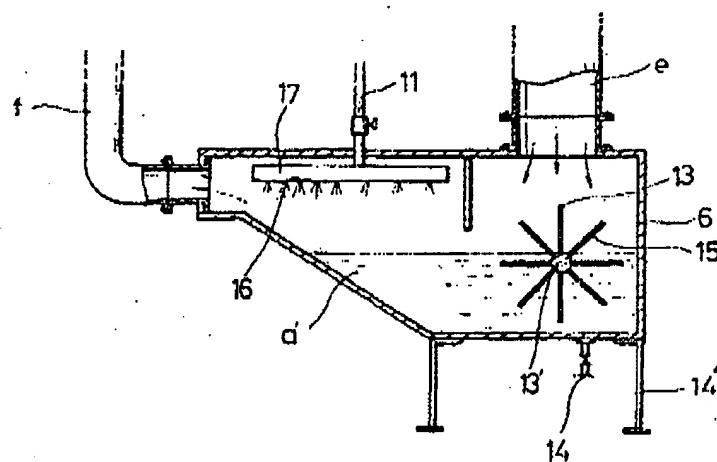


공개특허 95-9072

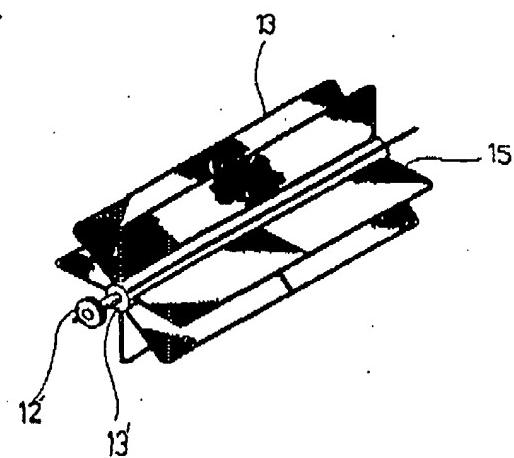
三 2 三



列 3 五



第45



⑩대한민국 특허청(KR)

⑨Int. Cl.⁶
G 11 C 11/40

⑩특 허 공 보(B1)

제 4085 호

⑨공고일자 1995. 8. 14

⑩광고번호 95-9072

⑨출원일자 1986. 11. 19

⑩출원번호 86-9783

⑨우편주소 ⑩1985. 11. 22 ⑪일본(JP)
⑫60-261154

심사관 이 해 성

⑩발명자 사도우 가즈유기

일본국 도오교도 고다이라시 기구엔니시마지 1-17-7-301

기와모도 히로시

일본국 도오교도 고다이라시 고가와초 2-1348

아나기자와 가즈마사

일본국 도오교도 고구문지시 히가리쵸 1-41-5

⑩출원인 가무시기 가이사 헤다씨세이사꾸쇼 대표자 미쓰다 가쓰시게
일본국 도오교도 지요다구 잠다 스루가다이 4-6

⑩대리인 번역사 백 님 기

(전17면)

⑩전압발생회로를 갖는 반도체기억장치

도면의 간단한 설명

제 1 도는 본 발명에 따른 다이나믹 RAM을 도시한 회로도.

제 2 도는 제 1 도의 다이나믹 RAM에 본 발명에 따라서 마련된 전압발생회로를 도시한 회로도.

제 3 도 및 제 4 도는 다이나믹 RAM을 설명하기 위한 평면도 및 단면도.

제 5 도는 제 2 도의 회로의 변형에 따른 도시한 회로도.

제 6 도는 본 발명의 다른 실시예를 도시한 회로도.

발명의 상세한 설명

본 발명은 전압발생회로를 갖는 반도체 기억장치에 관한 것으로, 예를 들면 다이나믹형 RAM에 이용해 서 유효한 기술에 관한 것이다. 다이나믹형 RAM에 있어서의 1비트의 메모리셀은 제 1 MOSFET형 메모리셀, 주 정보유지 커패시터와 어드레스 선택용 MOSFET로 이루어지고, 논리 "1", "0"의 정보는 커패시터에 전하형태로 기억된다. 정보의 리드는 MOSFET을 "ON"상태로 해서 커패시터를 테이타선에 연결하고, 테이타선의 전위가 커패시터에 축적된 전하량에 따라서 어떻게 변화하는가를 기준전압을 이용해서 감지하는 것에 의해 실행된다. 상기 커패시터는 케이프신극과 쇄널 사이를 이용한 MIS(Metal Insulator Semiconductor)용량이 이용된다. 상기 케이프전극에 고정전압이 정상적으로 공급된다.

상기 메모리셀의 MIS용량의 케이프전극에 전원전압 Vcc와 1/2Vcc를 공급하는 방식이 예를 들면 1983년 9월 7일 미국특허 출원 제530,079호에 개시되어 있다. 상기 메모리셀의 리드 기준전압을 형성하는 방식으로서 테이타선의 하프 프리차지방식(또는 어이센리스방식)이, 예를 들면 ISSCC DIGEST OF TECHNICAL PAPERS, 1994 pp.276~pp.277 또는 낫케이 McGraw-Hill, Inc. 1985년 2월 11일자,

"Nikkei Electronics", pp.243~pp.263에 개시되어 있다.

특허공고 95-9072

다이나믹형 메모리셀의 용량에 축적되는 전하량의 마진을 평가하는 수법으로서는 전원전압의 범프시킴이나 동작 전원전압 마진 시험이 있다. 이를 시험은 데이터를 전원전압이 $V_{cc}=5V$ 가 아니고 예를들면 4~6V의 상태에서 라이트하고, 이 라이트된 데이터를 전원전압이 라이트했을 때의 전압과 동일 또는 다른 전압으로 리드하는 시험이다.

이들의 시험에 의한 평가는 전원전압의 선택범위가 한정되는 것과 전원전압의 변화에 따라서 용량이 인가되는 고정전압 및 리드되는 기준전압이 변화하는 것에 의해 반드시 만족되는 것은 아니다. 또, 이를 시험은 상기한 저압발생회로 등의 주변회로의 마진도 포함해서 평가되므로, 정확한 축적전하량의 마진평가로는 되지 않는다. 따라서, 소프트 어려움을 정확하게 파악할 수가 없으므로, 신뢰성의 저하, 재조효율의 저하등 초래한다.

또, 상기한 이유에 의해, 용량의 유전체적으로 인가전압을 그다지 높게 할 수 없으므로, 그 파괴에 대해서 충분한 시험을 할 수 없다.

본 발명의 목적은 메모리셀의 평가를 정확하게 실행할 수 있는 회로기능을 부가한 반도체 기억장치를 제공하는 것이다.

본 발명의 다른 목적은 신뢰성이 높은 반도체 기억장치를 제공하는 것이다.

본 발명의 또 다른 목적은 간단한 구성으로 높은 정밀성 및 신뢰성을 평가할 수 있는 회로기능을 구비한 반도체 기억장치를 제공하는 것이다.

본 발명의 또 다른 목적은 저소비전력으로 동작하고 또한 출력전압(강압전압)의 값이 변동한 경우라도 고속으로 전압보상을 실행할 수 있는 (전류)구동능력이 큰 전압발생회로(강압전압발생회로)를 제공하는 것이다.

본 발명의 상기 및 그밖의 목적과 새로운 특징은 본 명세서의 기술 및 첨부도면에 의해 명확하게 알 것이다.

본 원에 있어서 개시되는 발명중 대표적인 것의 개요를 간단히 설명하면 다음과 같다.

본 발명의 제1의 구성에 의하면, 반도체 기억장치는

[A] 한쌍의 전극을 갖는 정보유지 커페시터(Cs)와 상기 정보유지 커페시터의 상기 한쌍의 전극 중 한쪽과 결합된 소오스-드레인 경로를 갖는 어드레스 선택 MISFET(Q₁)을 포함하는 메모리셀,

[B] 전원전압과 절지전위를 받고, 상기 전원전압과 상기 절지전위의 실질적으로 중간전위로 되는 강압전압을 출력하는 전압발생회로(V_p),

[C] 소정의 테스트 전압을 받는 외부단자(P2),

[D] 상기 강압전압을 받는 제1입력단자와 상기 외부단자에 결합되어 소정의 테스트 전압을 받는 제2입력단자를 갖고, 상기 강압전압 및 상기 소정의 테스트 전압 중 한쪽의 전압을 상기 메모리셀에 포함되는 상기 정보유지 커페시터와 상기 다른쪽의 전극으로 출력하는 스위치회로(SW)를 구비한다.

상기 세 1의 구성에 의해, 반도체 기억장치의 외부에서 부여된 테스트 전압을 메모리셀의 정보유지 커페시터의 한쪽의 전극에 공급하는 것이 가능하게 된다. 이것에 의해, 예를 들면 정보유지 커페시터의 유전체학적 시험을 장치외부의 테스트 전압에 의해 정확하게 실행하는 것이 가능하게 된다.

또, 본 발명의 제2의 구성에 의하면 반도체 기억장치는,

[A] 여러개의 워드선(W₀~W₃), 여러개의 데이터선(D, \bar{D}) 및 여러개의 메모리셀을 갖는 메모리 어레이(M-ARY) (상기 여러개의 메모리셀의 각각은 한쌍의 전극을 갖는 정보유지 커페시터(Cs) 및 상기 여러개의 워드선 중의 대응하는 하나에 결합된 게이트와 상기 정보유지 커페시터의 상기 한쌍의 전극 중의 한쪽과

특허공고 95-9072

상기 여러개의 데이터선 중의 대응하는 하나에 결합된 소오스-드레인 경로와를 갖는 어드레스 선택 MISFET(Qm)를 포함),

[B] (a) 전원전압을 받는 제 1 단자(제 2 도의 Vcc),

(b) 접지전위를 받는 제 2 단자,

(c) 제 3 단자(A)

(d) 드레인, 게이트 및 상기 제 3 단자에 결합된 소오스를 갖는 제 1 도전형의 제 1 MISFET(Q53),

(e) 드레인, 게이트 및 상기 제 3 단자에 결합된 소오스를 갖는 상기 제 1 도전형과 다른 제 2 도전형의 제 2 MISFET(Q54),

(f) 상기 제 1 단자와 상기 제 1 MISFET의 상기 드레인과의 사이에 결합된 전류경로를 갖는 제 1 저항수단(Q52, R4),

(g) 상기 제 2 단자와 상기 제 2 MISFET의 상기 드레인과의 사이에 결합된 전류경로를 갖는 제 2 저항수단(Q55, R5),

(h) 소오스, 상기 제 1 단자에 결합된 상기 게이트 및 상기 제 1 MISFET의 상기 드레인에 결합된 게이트를 갖는 상기 제 1 도전형의 제 1 출력 MISFET(Q56),

(i) 상기 제 1 출력 MISFET의 상기 소오스에 결합된 소오스, 상기 제 2 단자에 결합된 드레인, 상기 제 2 MISFET의 상기 게이트 및 상기 제 2 MISFET의 상기 드레인에 결합된 게이트를 갖는 상기 제 2 도전형의 제 2 출력 MISFET(Q57),

(j) 상기 제 1 출력 MISFET의 상기 소오스 및 상기 제 2 출력 MISFET의 소오스에 결합되고, 상기 여러개의 메모리셀에 각각 포함되는 상기 정보유지 커퍼시터의 다른쪽의 전극에 전기적으로 결합되고 또한 상기 전원전압과 상기 접지전위의 신질적으로 중간전위로 되는 전압전압을 출력하는 출력단자를 갖는 전압발생회로(Vp)를 포함하며,

상기 제 2의 구성에 의하면, (전류)증폭율이 있는 MISFET에 의해 출력(강암) 전압을 출력하기 때문에 소비전력이 작고 동시에 (전류구동능력이 큰 전압발생회로를 실현할 수 있다. 즉, 반도체 기억장치내에 메모리 어레이의 기억용량에 대응한 바라는 구동능력을 갖는 전압발생회로가 필요한 경우, 전압발생회로의 소비전력을 크게 억제할 수 있다. 따라서, 반도체 기억장치의 소비전력을 크게 할 수 있다.

또, 본 발명의 제 3의 구성에 있어서는, 상기 제 2의 구성의 반도체 기억장치에 다음과 같은 조건을 부가한 것이다. 즉, 상기 제 2의 구성에 나타난 제 1 MISFET의 임계전압값은 상기 제 2의 구성에 나타난 상기 제 1 출력 MISFET의 임계전압값보다 작고, 또한 상기 제 2의 구성에 나타난 상기 제 2 MISFET의 임계전압값은 상기 제 2의 구성에 나타난 상기 제 2 출력 MISFET의 임계전압값보다 작다.

상기 제 3의 구성에 의하면, 상기 제 1 출력 MISFET와 상기 제 2 출력 MISFET가 동시에 도통상태로 되는 것을 완전하게 또는 극히 억제할 수 있다. 따라서, 전압발생회로의 소비전력을 억제할 수 있다. 또, 상기 전압발생회로를 갖는 반도체 기억장치의 소비전력을 억제할 수 있다.

제 1 도는 본 발명을 디나믹형 RAM에 적용한 경우의 1실시예의 회로도이다. 동일도면의 각 회로소자는 공자의 CMOS(상보형 MOS) 집적회로의 제조기술에 의해서 1개의 단결정 실리콘과 같은 반도체 가공장에 있어서 형성된다.

메모리 어레이 M-ARY는 특히 제한되지 않지만 폴더드 비트 라인(folded bit line)형 방식으로 된다. 제 1 도에는 그 1쌍의 행이 구체적으로 도시되어 있다. 1쌍의 평행으로 배치된 상보데이터선(비트선) 또는 더

특허공고 95-9072

센의 각각의 입출력 노드가 동일 도면에 표시한 바와 같이 소정의 규칙성을 갖고 배분되어 결합되어 있다. 워드선 W는 메모리 어레이내를 세로방향으로 연장하고 그 한쪽끝이 교우 디코더 R-DCR에 접속된다. 테 이타선 D는 메모리셀 어레이내를 가로방향으로 연장하고 그 한쪽끝은 센스앰프 SA에, 다른쪽은 절점 스위치 C-SW에 각각 접속된다.

본 실시예에서는 커퍼시터의 유전체막의 저하를 감소시키기 위해, 상기 메모리셀을 구성하는 MIS 용량으로 이루어지는 정보유지 커퍼시터 CS와 캐이트전극(플레이트전극)에는 $V_{CC}/2$ 로, 설정된 플레이트전압 VC가 공급된다. 이 플레이트전압 VG는 전압발생회로 VGG에 의해 형성된다. 전압발생회로 VGG에 대한 상세한 것은 다음에 제2도를 참조해서 기술한다. 전압발생회로 VGG에는 본 발명에 따라서 메모리 또는 프로세스에 의해 일의의 전압의 인자가 가능한 전극(프로보 테스트용 패드) P₁, P₂가 부가된다. 전극 P₁, P₂는 데이터 출력단자 Dout과 같은 반도체에보리의 외부 단자로서 사용되는 전극(제1도에서 원으로 표시되는 전극)과 구별된다. 전극 P₁, P₂에 대해서 시험시에 플레이트전압 VG를 임의의 값으로 하는 것이 가능하므로, 커퍼시터 Cs의 평가를 정화하게 실행할 수 있다.

프리차지회로 PC는 내보로 표시된 MOSFET Q5와 같이, 상보데이터선 D, \bar{D} 사이에 마련된 스위치 MOSFET에 의해 구성된다. 이 MOSFET Q5는 그 캐이트에 프리차지신호 ϕ_{PC} 가 공급되는 것에 의해 칩 비선택 상태일 때에, "ON"상태로 된다. 이것에 의해, 이전의 동작 사이클에 있어서, 다음에 기술하는 센스앰프 SA의 충족동작에 관한 상보 데이터선 D, \bar{D} 의 고레벨과 저레벨을 단락하여 상보데이터선 D, \bar{D} 를 약 $V_{CC}/2$ 의 프리차지 전압으로 한다. 또한, RAM이 칩 비선택 상태로 되고 상기 프리차지 MOSFET Q5 등이 "ON" 상태로 되기 전에 상기 센스앰프 SA는 비동작 상태로 된다. 이것에 의해, 상기 상보데이터선 D, \bar{D} 는 하이 임피던스 상태에서 고레벨과 저레벨을 유지하는 것으로 되어 있다. 또, RAM이 동작상태로 되면 센스앰프 SA가 동작상태로 되기 전에 상기 프리차지 MOSFET Q5등은 "OFF"상태로 된다. 이것에 의해, 상보 데이터선 D, \bar{D} 는 하이 임피던스 상태에서 상기 하프 프리차지 레벨을 유지하는 것이다.

하프 프리차지방식 레벨은 상보 데이터선 D, \bar{D} 의 고레벨과, 저레벨을 단지 단락하여 형성하는 것이기 때문에 저소비전력화가 도모된다. 또, 센스앰프 SA의 충족동작에 있어서, 상기 프리차지 레벨을 중심으로 하여 상보 데이터선 D, \bar{D} 가 고레벨과 저레벨과 같이 공동 모드로 변화하기 때문에, 용량 어플링에 의해 발생하는 노이즈 예측을 저감할 수 있게 된다.

또한, 하프 프리차지방식에서는 플로팅상태의 상보 데이터선을 단지 단락하는 것이기 때문에, 칩 비선택 기간이 길어지면 상보 데이터선에 결합되는 어드레스 선택용 MOSFET의 드레인 누설전류등에 의해서 데이터선의 레벨저하가 발생하게 된다. 그래서, 이 실시예에서는 특히 제한되지 않지만 그 레벨의 보상을 위해서도 상기 전압발생회로 BG가 이용된다. 즉, 상보데이터선 D, \bar{D} 사이에 직렬로 접속된 스위치 MOSFET Q50, Q51이 마련된다. MOSFET Q50과 Q51과의 접속점에는 상기 전압발생회로 VGG의 충격전압 VG'가 공급된다. 전압 VG'는 $1/2V_{CC}$ 와 실질적으로 동일하게 된다. MOSFET Q50, Q51은 그 캐이트에 상기 프리차지신호 ϕ_{PC} 가 공급되는 것에 의해 프리차지 기간만 "ON"상태로 된다. 이것에 의해, 칩비선택기간(프리차지 기간)에 있어서, 상기 전압 VG'가 스위치 MOSFET Q50, Q51을 거쳐서 데이터선 D, \bar{D} 에 공급된다. 이것에 의해, 상보데이터선 D, \bar{D} 의 프리차지 진압의 누설전류에 의한 레벨보상을 실행할 수 있다.

센스앰프 SA는 그 단위회로 USA가 예시적으로 표시되어 있고, P채널 MOSFET Q7, Q9와 N채널 MOSFET Q6, Q8로 이루어지는 CMOS 래치회로로 구성되고, 그 1쌍의 입출력 노드가 상기 상보데이터선

특허공고 95~9072

MOSFET는 각각 그 소오스 PS 및 NS가 공통 접속된다. P채널 MOSFET의 공통 소오스 PS에는 파워스 위치로서의 P채널 MOSFET(도시되지 않음)을 통해서 전원전압 Vcc가 공급되고, N채널 MOSFET의 공통 소오스 NS에는 파워스위치로서의 N채널 MOSFET(도시하지 않음)을 통해서 회로의 경지전압 Vss가 공급된다. 이들 파워스위치 MOSFET는 동일 베모리 매트내의 다른 동일 행에 마련된 래치회로(단위회로)에 대해서 공통으로 이용된다. 파워스위치 MOSFET의 게이트에는 동작사이클에서 센스앰프 SA를 활성화시키는 타이밍펄스 ϕ_{pa} (실제로는 상보 타이밍펄스 ϕ_{pa} , $\bar{\phi}_{pa}$ 가 인가된다. 센스앰프 SA에 의해 예모리셀로부터의 1쌍의 데이터선 사이에 인가되는 미소 리드전압이 증폭된다. 또, 도사하지는 않지만 상기 공통 소오스선 NS와 PS 사이에는 그 게이트에 상기 프리차지신호 $\bar{\phi}_{pc}$ 가 공급된 스위치 MOSFET가 마련되어 상보데이터선 D, \bar{D} 의 프리차지 동작과 마찬가지로, 프리차지기간에 있어서, 센스앰프 SA의 공통 소오스선 NS와 PS를 하프 프리차지 전위로 하는 것이다.

로우 디코더 R-DCR은 웨드선 선택 타이밍신호 ϕ_x 에 의해 로우 선택타이밍이 제어되고, 로우 어드레스 버퍼 R-ADB에서 공급되는 내부 어드레스신호 a_0-am 과 역상의 어드레스신호 $\bar{a}_0-\bar{a}_m$ 으로 이루어지는 상보 어드레스신호 $\underline{a}_0-\underline{a}_m$ 을 해독하는 것에 의해서 웨드선 선택신호를 형성하고 1개의 웨드선을 선택한다.

컬럼 스위치 C-SW는 대표로서 표시되어 있는 MOSFET Q42, Q43과 같이 상보데이터선 D, \bar{D} 와 공통 상보데이터선 CD, \bar{CD} 를 선택적으로 결합시킨다. 이들 MOSFET Q42, Q43의 게이트에는 친립 디코더 C-DCR로부터의 선택신호가 공급된다.

로우 어드레스비퍼 R-ADB는 외부단자에서 공급된 로우 어드레스 스트로보신호 RSA에 따라서 다음에 기술하는 타이밍 발생회로 TG에 의해 형성된 타이밍신호(도시하지 않음)에 의해 동작상태로 되고, 그 동작상태에 있어서 상기 로우 어드레스 스트로보신호 RSA에 동기하여 외부단자에서 공급된 어드레스신호 A0-Am을 채치하고 그것을 유지함과 동시에, 내부 상보어드레스신호 $\underline{a}_0-\underline{a}_m$ 을 형성해서 상기 로우어드레스 디코더 R-DCR로 전달한다. 여기에서, 상기 외부단자에서 공급된 어드레스신호 A0과 동상인 내부 어드레스신호 a_0 과 역상인 내부 어드레스신호 \bar{a}_0 을 합쳐서 상보어드레스신호 \underline{a}_0 과 같이 표시하고 있다(이하, 동일). 로우 어드레스 디코더 R-DCR은 상술한 바와 같이 상기 상보어드레스신호 $\underline{a}_0-\underline{a}_m$ 을 해독하고 웨드선 선택 타이밍신호 ϕ_x 에 동기해서 웨드선의 선택동작을 실행한다.

한편, 친립 어드레스비퍼 C-ADB는 외부단자에서 공급된 친립 어드레스 스트로보신호 CAS에 따라서 다음에 기술하는 타이밍 발생회로 TG에 의해 형성된 타이밍신호(도시하지 않음)에 의해 동작상태로 되고, 그 동작상태에 있어서 상기 친립 어드레스 스트로보신호 CAS에 동기해서 외부단자에서 공급된 어드레스신호 A0-An을 채치하고 그것을 유지함과 동시에, 내부 상보어드레스신호 $\underline{a}_0-\underline{a}_n$ 을 형성해서 친립 어드레스 디코더 C-DCR로 전달한다.

컬럼 디코더 C-DCR은 데이터선 선택 타이밍신호 ϕ_y 에 의해서 친립 선택타이밍이 제어되고, 친립 어드레스비퍼 C-ADB에서 공급하는 내부 어드레스신호 a_0-an 과 역상의 어드레스신호 $\bar{a}_0-\bar{a}_n$ 으로 이루어지는 상보 어드레스신호 $\underline{a}_0-\underline{a}_n$ 을 해독하는 것에 의해서 상기 컬럼 스위치 C-SW에 공급한 선택신호를 형성한다.

그리고, 동일 도면에 있어서는 로우 어드레스비퍼 R-ADB와 친립 어드레스비퍼 C-ADB를 합쳐서 어드레스비퍼 R, C-ADB와 같이 표시하고 있다.

상기 공통 상보데이터선 CD, \bar{CD} 사이에는 상기와 마찬가지의 프리차지회로를 구성하는 프리차지

국회공고 95-9072

회로구성의 메인램프 MA의 1쌍의 입출력 노드가 결합되어 있다. 이 메인램프의 출력신호는 데이터 출력버퍼 DOB를 거쳐서 외부단자 Dout로 송출된다. 리드동작이면 데이터 출력버퍼 DOB는 그 타이밍신호 ϕ_{rw} 에 의해서 동작상태로 되고 삼기 메인램프 MA의 출력신호를 증폭해서 외부단자 Dout에서 송출한다. 그리고, 라이트 동작이면 상기 타이밍신호 ϕ_{rw} 에 의해서 데이터 출력버퍼 DOB의 출력은 하이 임피던스 상태로 된다.

상기 공통 상보데이터선 CD, \overline{CD} 는 데이터 입력버퍼 DIB의 출력단자기 결합된다. 리드동작이면 데이터 입력버퍼 DIB는 그 타이밍신호 ϕ_{rw} 에 의해서 동작상태로 되고, 외부단자 Din에서 공급된 라이트신호에 따른 상보 라이트신호를 상기 공통 상보데이터선 CD, \overline{CD} 로 전달하는 것에 의해 선택된 메모리셀로의 라이트가 실행된다. 그리고 라이트 동작이면 상기 타이밍신호 ϕ_{rw} 에 의해서 데이터 입력버퍼 DIB의 출력은 하이 임피던스 상태로 된다.

상기와 같이, 어드레스 선택용 MOSFET Qm과 정보유지 커패시터 Cs로 이루어지는 다이나미크 메모리 셀로의 라이트 동작에 있어서, 정보유지 커패시터 Cs에 풀 라이트(full write)를 실행하기 위해, 즉 어드레스 선택용 MOSFET Qm 등의 임계값 진압에 의해 정보유지 커패시터 Cs로의 라이트 고레벨의 폐열 손실이 발생하지 않도록 하기 위해, 워드선 선택 타이밍신호 ϕ_x 에 의해서 기동되는 워드선 부트스트랩파트(도시하지 않음)이 마련된다. 이 워드선 부트스트랩파트는 워드선 선택 타이밍신호 ϕ_x 와 그 지연신호를 이용해서 워드선 선택 타이밍 신호 ϕ_x 의 고레벨을 전원전압 Vcc 이상의 고레벨로 한다. 상술한 각종 타이밍신호는 다음의 타이밍 발생회로 TG에 의해 형성된다. 타이밍 발생회로 TG는 상기 대표로 도시된 주요한 타이밍신호 등을 형성한다. 즉, 이 타이밍 발생회로 TG는 외부단자에서 공급된 어드레스 스프로보신호 RAS 및 \overline{CAS} 와 라이트 인에이블신호 \overline{WE} 를 받고 상기의 각종 타이밍펄스를 형성한다.

제 2도에는 상기 전압발생회로 VGG의 1실시예의 회로도가 도시되어 있다. 전압발생회로 VGG는 플레이트 전압(예를들면, 1/2VCC)을 발생하기 위한 회로 VP와 전압발생회로 VGG의 출력을 전환하기 위한 스위치회로 SW로 이루어진다.

플레이트 전압발생회로 VP에 있어서의 전원전압 VCC와 분압점(VCC/2 또는 노드 A)과의 사이에는 P채널(제 2 도전형)의 MOSFET Q52(제 1의 저항수단)와 드레인과 게이트가 공통 접속된 다이오드 형태의 N채널(제 1 도전형) MOSFET Q53(제 1의 MOSFET)이 직렬로 접속된다. 상기 분압점 A와 회로의 접지전위 VSS와의 사이에는 게이트와 드레인이 공통으로 접속된 다이오드 형태의 P채널 MOSFET Q54(제 2의 MOSFET)와 N채널 MOSFET Q55(제 2의 저항수단)가 직렬 접속된다. 상기 P채널 MOSFET Q52와 N채널 MOSFET Q55의 게이트는 특별히 제한되지 않지만, 상기 분압점 A에 접속되는 것에 의해 저항수단으로 동작하게 된다. 이들의 MOSFET Q53와 Q55는 이 관역던스가 작게 설정되는 것에 의해, 기기에 호르는 쥐류전류의 전류값이 작게 설정된다.

상기 다이오드 형태의 N채널 MOSFET Q53의 공통화된 게이트, 드레인은 N채널 출력 MOSFET Q55(제 1의 출입 MOSFET)의 게이트에 공급된다. 상기 다이오드 형태의 P채널 MOSFET Q54(제 2의 출입 MOSFET)의 공통화된 게이트, 드레인은 P채널 출력 MOSFET Q57의 게이트에 공급된다. 플레이트 전압발생회로 VP의 출력 MOSFET Q56, Q57은 각각의 드레인이 전원전압 VCC와 회로의 접지전위에 접속됨과 동시에, 그 소오스가 공통 접속되어 출력전압 VG'를 송출하는 것이다. 플레이트 전압발생회로 VP의 출력전압 VG'는 상기 상보데이터선 D, \overline{D} 에 있어서의 프리차저 세팅의 레벨보상회로에 공급된다.

상기 양출력 MOSFET Q56과 Q57을 통해서 쥐류(관동) 전류가 흐르는 것을 방지하기 위해 즉, 상기 분

압전압 VCC/2에 의해, 양 MOSFET Q56, Q57이 동시에, "ON"상태로 되는 일이 없도록 하기 위해 상기

특허공고 95-9072

MOSFET Q53의 임계값전압 V_{thn1} 은 이에 대응된 출력 MOSFET Q56의 임계값 전압 V_{thn2} 보다 절대값적으로 작게 설정되고, 상기 MOSFET Q54의 임계값전압 V_{thn1} 은 그것에 대응된 출력 MOSFET Q57의 임계값전압 V_{thp2} 보다 절대값적으로 작게 설정된다.

이것에 인해, 예를들면 출력전압 VG' 가 $VCC/2$ 일 때 출력 MOSFET Q56의 소오스 전위는 $VCC/2$ 로 된다. 이에 대해서, 그 게이트전압은 상기 $VCC/2$ 의 분압전압을 다이오드 형태의 MOSFET Q53의 임계값전압보다 높게 페발시프트된 전압 $VCC/2 + V_{thn1}$ 로 된다. 이와 같은 상태에서는 MOSFET Q56은 그 게이트, 소오스 사이에 그 임계값전압 V_{thn2} 보다 작은 상기 MOSFET Q53의 상기 임계값전압 V_{thn1} 분 밖에 인가되지 않으므로, "OFF"상태로 된다. 이것은 P채널 출력 MOSFET Q57에 있어서도 마찬가지이다. 이것에 인해, 양출력 MOSFET Q56과 Q57이 모두 "OFF"상태로 되기 때문에, 양 MOSFET Q56, Q57을 통해서 적류전류가 흐르는 일은 없다.

전원전압 VCC 의 상승에 대해서, 상기 전압 VG' 가 출력 MOSFET Q56의 게이트전압 $VCC/2 + V_{thn1}$ 에 대해서 상대적으로 저하되어서, 그 차전압이 V_{thn2} 보다 크게 되면, MOSFET Q56이 "ON"상태로 되어, 출력전압 VG' 는 $VCC/2 + V_{thn1} - V_{thn2}$ 까지 상승시킨다. 이와 같이, 전원전압 VCC 가 상승한 경우에는 P채널 출력 MOSFET Q57은 그 게이트전압($VCC/2 - V_{thp1}$)의 상승에 따라시, 그 게이트, 소오스 사이가 보다 역바이어스되는 결과, "OFF"상태를 유지한다.

전원전압 VCC 의 저하에 대해서, 상기 전압 VG' 가 출력 MOSFET Q57의 게이트전압($VCC/2 - V_{thp1}$)에 대해서 상대적으로 높게 되고 그 차전압이 V_{thp2} 보다 크게 되면, MOSFET Q57이 "ON"상태로 된다. 이 MOSFET Q57의 "ON"상태에 의해 출력전압 VG' 는 $VCC/2 - V_{thp1} + V_{thp2}$ 까지 저하시킨다. 이와 같이 전원전압 VCC 가 저하한 경우에는 N채널 MOSFET Q56은 그 게이트전압($VCC/2 + V_{thn1}$)의 저하에 따라서 그 게이트, 소오스 사이가 보다 역바이어스 되는 결과, "OFF"상태를 유지하는 것이다.

그리고, 전원전압 VCC 가 일정한 경우, 누설전류에 의해 전압 VG' 에 변동이 발생하면, 상기 분압전압 $VCC/2$ 를 기준으로 하여, 그 변동이 상기 대응하는 MOSFET Q53과 Q56과의 임계값전압 V_{thn1} , V_{thn2} 및 MOSFET Q54와 Q57과의 임계값전압 V_{thn1} , V_{thn2} 의 각각의 차를 초과하였을 때, 각각의 출력 MOSFET Q56 또는 Q57이 "ON"상태로 되어 그 헤벨보상을 실행하는 것이다.

상기 양출력 MOSFET Q56과 Q57은 동시에 "ON"상태로 되는 일이 없고, 그 동작전류는 모두 출력전류로 된다. 따라서, 출력 MOSFET Q56, Q57의 콘덕턴스를 크게 설정하여 큰 출력전류, 바꾸어 말하면 출력 임피던스를 작게 할 수 있게 된다.

이 실시예에서는 메모리셀을 구성하는 MIS 용량 C_s 의 용량가교 프로세서 편차를 평가하기 위하여, 상기 출력전압 VG' 는 스위치회로 SW를 거쳐서 상기 MIS 용량 C_s 의 게이트전극(플레이트)에 공급된다. 구체적으로는 출력전압 VG' 는 예를들면 전송게이트로서의 N채널스위치 출력 MOSFET Q58의 임력측에 공급된다. 출력 MOSFET Q58의 게이트에는 특히 한정되지는 않지만, 저항저항 R_1 (제3의 저항수단), R_2 (제4의 저항수단)을 거쳐서 정상적으로 전원전압 VCC 가 공급된다. 이 스위치 MOSFET Q58은 선택적으로 "OFF"상태로 하기 위하여, 상기 저항 R_1 과 R_2 의 접속점에는 전극 P_1 이 마련된다. 상기 전극 P_1 에 외로의 접지전위와 같은 저레벨을 공급하는 것에 의해서, 상기 MOSFET Q58을 "OFF"상태로 할 수가 있다.

상기 스위치 MOSFET Q58의 출력측에는 입의의 바이어스 천압을 공급하기 위한 전극 P_2 가 저항 R_3 을 거쳐서 접속된다. 이것에 의해, 상기 MOSFET Q58이 "OFF"상태인 때, 상기 전극 P_2 에서 입의의 바이어스 전압을 MIS 용량 C_s 의 게이트에 공급할 수가 있다.

상기 저그리드는 제한되지는 않지만, 외부단자에 접속되지 않는 축적용 전극으로 된다. 이 때

특허광고 95-9072

문에 반도체 웨이퍼상에 다이나믹 RAM이 완성된 후의 프로세스트에 있어서, 상기 전극 P₁에는 프로보에서 회로의 접지전위가 주어지고, 전극 P₂에는 프로보를 통해서 테스터측에서 소정의 바이어스 전압이 공급된다.

다이나믹 RAM의 메모리셀과 메모리어레이는 제3도와 세4도에 도시된 바와 같이 구성된다. 제4도는 세3도의 III-IV절단선에 따른 단면이다. 단결정 P형 실리콘으로 이루어지는 반도체기판(1)의 표면에는 공지의 선택산화법에 의해서 형성된 두꺼운 필드 절연막(2)가 선택적으로 형성되어 있다. 필드절연막(2) 아래에는 P형 채널 스트리퍼(3)이 형성되어 있다. 필드절연막(2)와 채널스트리퍼(3)에 의해 메모리셀 사이가 구리된다.

기판시티 Cs는 1층째 단결정 실리콘층(5)과 N형 반도체영역(6)의 2개의 전극과 유전체로서의 얇은 절연막(4)로 이루어진다. 절연막(4)은 실리콘 산화막 1층 또는 실리콘 산화막과 실리콘 질화마그네슘으로 이루어진다. 고정 전압이 인가될 한쪽의 전극(5)에는 전압발생회로 VGG에서 전압 VG가 공급된다. 전극(5)은 여러개의 메모리셀에 공통의 전극으로서 형성된다. 이 때문에, 단결정 실리콘층(5)는 제3도에 도시한 바와 같이, 메모리 어레이내에 MOSFET Qm 형성영역을 제외하고, 전체에 끌레이드상으로 형성된다. 또한, 제3도에 있어서 전극(5)의 형상을 알기 쉽게하기 위해서 절연막(필드절연막(2)을 제외함)은 도시하지 않고, 데이터선 D의 일부도 생략하고 있다. N채널 MOSFET는 메모리셀의 MOSFET Qm으로 대표되는 바와 같이, 실리콘 산화막으로 이루어지는 게이트 절연막(8), 게이트전극(9) 및 소오스 드레인영역인 N+형 반도체영역(10)으로 이루어진다. 게이트전극(9)는 예를들면 단결정 실리콘층과 그 위에 적층된 고용접 금속 실리사이드층으로 이루어지고, 메모리 어레이내를 한쪽 방향으로 연장하여 웨드선 W를 구성한다.

반도체기판(1)에는 기판 바이어스 전압발생회로 VBG에서 부의 백바이어스 전압-Vbb가 공급된다. 이로 인해서, N채널 MOSFET의 소오스, 드레인과 기판 사이의 기생용량값이 감소하기 때문에 회로의 고속동작화가 이루어짐과 동시에, 기판에 발생하는 소수 캐리어의 흐름을 실행할 수가 있으므로, 재생주기를 줄일 수가 있다.

메모리셀 등의 각 회로소자를 덮는 포스포 실리케이트 유리로 이루어진다는 충전절연막(11)상에는 알루미늄으로 이루어지는 것과 같은 도체층(12)가 형성되어 있다. 도체층(12)는 절연막(11)에 마련된 콘택트 구멍을 거쳐서 반도체영역(10)에 전기적으로 결합된다. 도체층(12)는 메모리셀 어레이내를 한쪽 방향으로 연장해서 데이터선 D를 구성한다.

그리고, 도시하지는 않지만, P채널 MOSFET는 상기 반도체기판(1)에 형성된 N형 웨이팅에 형성된다. P채널 MOSFET의 기판게이트 즉 N형 웨이팅은 제1도의 전원단자 VCC에 결합된다.

메모리셀의 커패시터 Cs의 용량값은 제조프로세스에 따라 변동한다. 예를들면 절연막(4)의 막두께의 변동, 반도체영역(6)의 형성을 위한 이온주입의 변동이 원인으로 된다.

이와 같은 커패시터 Cs의 용량값이 프로세스 편차에 의해 작아진 것을 검출하기 위해, 또 커패시터 Cs의 절연막(4)의 파괴전압이 작은(수설전류가 큰) 것을 검출하기 위해, 다이싱친의 반도체 웨이퍼의 상태에서 프로보 테스트가 실행된다. 2테스트에 있어서, 테스터의 프로보가 1칩의 다이나믹 RAM으로 되는 영역내의 각 외부단자와 테스트용 전극 P₁, P₂에 콘택트된다. 다이나믹 RAM의 동작에 필요한 신호는 프로보를 통해서 테스터에서 공급된다. 전극 P₁, P₂에 공급되는 전압, 즉 끌레이트 전압 VC이외는 공지의 다이나믹 RAM의 통상의 동작과 마찬가지의 신호가 동일한 타이밍에서 공급된다.

제2도의 전압발생회로에 의하면 다음의 테스트를 할 수 있다. 전극 P₁을 접지전위로 하고, 전극 P₂를

특허공고 95-9072

한다. 다음에, 전극 P₂에 VCC/2보다 작은 전위(예를들면 0V)을 공급한 상태에서 이 데이터의 라드를 실행하고 정확하게 리드되었는지 아닌지를 조사한다.

이 테스트는 소프트에러의 대부분을 차지하는 메모리셀 모드의 소프트에러를 근사하는 것이다. 즉, 플레이트 전압의 저하에 의한 축적노드의 전위저하를 α선의 입사에 의한 전하의 감소로 간주하고 있다.

어떤 소프트에러율(예를들면 1000Fit)을 실현하기 위해 필요한 용량값을 구하고, 이 값에 상당하는 플레이트 전압의 변화를 미리 구해둔다. 1000Fit의 소프트에러율에 대응하는 전위변화를 전극 P₂에 부여하였을 때, 정확한 데이터가 리드되면 그 메모리셀은 합격으로 된다. 반대로, 반전된 데이터가 리드되면 그 메모리셀은 결함이 있는 것으로 판斷된다. 또, 데이터가 반전하였을 때의 전극 P₂에 공급되어 있는 전위를 구하는 것에 의해, 커패시터 Cs의 용량을 알 수가 있다.

그리고, 상기 테스트에 있어서 메모리셀에 저레벨신호(전극(6)의 전위가 저레벨=0V로 되는 신호)을 마이트하여, 전극 P₂에 VCC/2보다 큰 전위를 공급해서 리드할 수도 있다. 이 테스트는 커패시터 Cs의 상기 테스트와는 역곡성의 특성을 조사하는 것이다.

정역학(4)의 정도를 조사하기 위하여, 다음의 테스트를 실행할 수 있다. 전극 P₁에 예를 들면 7V를 공급한 상태에서 메모리셀에 저레벨신호를 라이트한다. 또는 전극 P₂에 절지전위를 공급한 상태에서 메모리셀에 고레벨신호를 라이트한다. 이때, 전원전압을 7V로 하는 것에 의해 고레벨신호도 대략 7V로 된다. 이 라이트상태는 수초동안 메모리셀에 유지된다. 그 후, 통상 동작과 동일한 라이트, 라드를 실행하고 정역학(4)가 파괴되어 있는지 아닌지를 조사한다. 파괴가 발생한 다이나믹 메모리는 초기에 고장이 있는 불량품으로서 제거된다.

전극 P₂에 부전위를 공급하고, 전극 P₁에도 MOSFET Q58이 도통하지 않도록 부전위를 공급한 경우 플레이트 전압 VG을 부여 한 테스트가 가능하게 된다.

테스트에 있어서, 전극 P₁, P₂를 플로팅으로서 공지와 테스트를 실행하는 것도 가능하다.

통상 동작일 때, 전극 P₁, P₂는 플로팅으로 된다. 즉, 전극 P₁, P₂가 외부단자에 접속되는 일은 없다. 따라서, 통상 동작상태에 있어서는 MOSFET Q58의 게이드에는 저항 R₁과 R₂를 거쳐서 전원전압 Vcc가 공급된다. 이로 인해, MOSFET Q58이 "ON"상태로 되고 상기 전압발생회로 VGG에 의해 형성된 약 Vcc/2의 전압을 커패시터 Cs의 한쪽의 전극에 공급한다. 그리고, 공지의 다이나믹 RAM과 동일한 동작을 한다.

본 발명에 의하면 다음과 같은 효과가 얻어진다.

[1] 다이나믹형 메모리셀을 구성하는 MOS 용량의 게이드에 임의의 바이어스 전압을 공급할 수 있도록 하는 것에 의해, MOS 용량의 실질적인 용량값을 변화시킬 수 있다. 이것에 인해, 통상의 동작 상태에 비해 그 실질적인 용량값을 작게 할 수 있는 바이어스전압을 공급하고, 라이트/리드를 실행하는 것에 의해 MOS 용량의 축적전하량의 마진을 적절적으로 평가할 수 있다.

[2] 상기 (1)에 의해, 신뢰성이 높은 다이나믹형 RAM의 신뢰성을 실행할 수 있다.

[3] MOS 용량의 게이드에 공급할 전압발생회로로서, 소오스 플로워 형태의 N채널 출입 MOSFET와 P채널 출입 MOSFET를 직렬 접속하여 공동 소오스정에서 출력전압을 인유과 동시에, 양 출입 MOSFET의 게이드에 각각의 MOSFET의 임계값 전압보다 절대값적으로 커진 임계값 전압을 갖는 동일 도전형의 다이오드 형태의 MOSFET에 의해 공동의 분압전압을 레벨 시프트해서 공급하는 것에 의해서 상기 양 MOSFET 사이에서 직류 전류가 흐르는 것을 방지할 수가 있다. 이것에 의해서, 축적 MOSFET에 흐르는

특허공고 95-9072

[4] 하프 프리차지 방식의 다이나믹형 RAM의 메모리셀의 플레이트 전압(MOS용량의 게이트전압)을 하프 프리차지전압과 동일하게 하는 것에 의해, 전원전압 Vcc와 반동에 대응해서 변화하는 하프 프리차지 전압(리드 기준전압)에 따라서 정보유지 커페시터의 기준전압을 변화시킬 수 있다. 이것이 의해, 전원반동에 의한 정보유지 커페시터에 유지된 전압은 하프 프리차지 전압에 따라 변화하는 것이기 때문에 그 예별 마진을 빼기 할 수 있으므로, 상기 (1)의 효과와 아울러 헤벨 마진이 큰 다이나믹형 RAM을 얻을 수 있다.

이상 본 발명자에 의해서 이루어진 발명을 실시예에 따라서 구체적으로 설명하였지만, 본 발명은 상기 실시예에 한정되는 것은 아니며, 그 요지를 이탈하지 않는 범위에서 여러가지로 변경 가능한 것은 물론이다.

전압발생회로 VGG의 구성은 여러가지로 변경할 수 있다. 제5도에 도시한 바와 같이 상기 제2도에 도시한 MOSFET Q52, Q55 대신에 높은 저항값을 갖는 풀리실리콘층을 사용하여도 좋다. 이 경우에는 각각의 풀리실리콘층의 전대값으로 저항값의 프로세스 편차에 영향을 받지 않고, 그 패턴비에 따른 정밀도가 높은 분압전압(예를 들면 $V_{CC}/2$)을 형성할 수 있다. 또, 전압발생회로 VGG에 있어서의 다이오드 형태의 MOSFET와 그것에 대응한 출입 MOSFET의 임계값 전압을 다르게 하는 방법은 채널부로의 이온주입에 의한 것, MOSFET의 채널길이를 다르게 하는 것, 게이트 질연막의 막의 두께를 다르게 하는 것 등 여러 가지의 실시형태를 채택할 수 있다. 또, 스위치회로 SW도 여러가지 구성을 채택할 수 있다. MOSFET Q58 대신 N채널과 P채널 MOSFET로 이루어지는 CMOS 트랜스미션 게이트를 사용하여도 좋다. 플레이트 Q58 대신 N채널과 P채널 MOSFET로 이루어지는 CMOS 트랜스미션 게이트를 사용하여도 좋다. 풀리실리콘층을 위한 신호를 공급하는 전극 P₁과 바이어스 전압을 공급하는 전극 P₂는 외부단자에 접속시키는 것으로서, 다이나믹형 RAM이 완성된(패키지된) 후에도 상기 평가를 실행할 수 있도록 하는 것으로 하여도 좋다. 이 경우, 외부 단자수가 2개 증가하는 것으로 된다.

외부 단자수를 증가시키지 않고, 다이나믹 RAM이 완성된 후에도 상기 평가를 실행하는 것도 가능하다. 이 경우, 제6도에 도시한 바와 같이, 임의의 어드레스신호 공급용 외부단자 Ai, Ai+1이 이용된다. 외부 단자 Ai에 부가된 N채널 MOSFET Q10, Q11, Q12로 이루어지는 전입판장회로에서 테스트중에 고체밸로 되는 테스트신호 φtest가 출력된다. 신호 φtest는 외부단자 Ai에 대해 전원전압 Vcc(=5V)보다 MOSFET Q10, Q11의 임계값 전압의 합만큼 높은 전압(예를 들면 6.5V)이 인가되었을 때 고체밸로 된다. 신호 φtest의 고체밸은 인버터 IV₁에 대해서 반전되어 MOSFET Q58을 "OFF"시켜서 2입력 NAND 게이트 G1을 막고, 또 인버터 IV₁, IV₂를 통해서 MOSFET Q13을 "ON"시킨다. 이것이 의해, 외부단자 Ai+1에서 어드레스비파 ADB로의 신호는 저레벨에 고정되고, 또 플레이트 전압발생회로 VP의 출력은 차단된다. 이 상태에서 외부단자 Ai+1에 임의의 전위를 공급하고 플레이트전압 VC로서 사용한다. 외부단자 Ai, Ai+1에 대응하는 이드레스가 공동인 여러개의 메모리셀에 대해서 동일한 테스트가 실행된다. 그리고, 외부단자 Ai에서 어드레스비파 ADB로의 입력도 마찬가지로 부호로 된다.

메모리셀은 커페시터를 갖고 그 한쪽의 전극에 동작시에 고정전위를 공급해서 사용하는 커페시터를 갖는 메모리셀이라면 어떠한 형태라도 좋다. 즉, 반도체 기판내에 형성한 트렌치 또는 고트(moat)를 사용한 커페시터, 반도체 기판상에서 적층된 2개의 전극을 이용한 커페시터, 반도체 기판내의 반도체영역을 고정전위를 공급하는 전극으로써 사용한 커페시터 등을 사용하는 메모리셀을 사용해도 좋다. 커페시터의 한쪽의 전극에 인가되는 고정전압은 $V_{CC}/2$ 전위 이외에 전원전위라도 좋고, 절지전위라도 좋다. 구해지는 플레이트 전압에 따라서 전압발생회로의 구성을 변경할 수 있다.

특허공고 95-9072

또, 다이나믹형 RAM을 구성하는 다른 주변회로는 여러가지의 실시형태를 취할 수 있는 것이다. 예를 들면, 어드레스신호는 각각 독립된 외부 단자에서 공급하는 것이라도 좋다. 끝지의 자동재생회로를 마련해 두 좋다.

메모리셀과 그 주변회로는 MOSFET 대신 MISFET에 대해서 구성되어 있어도 좋다.

본 발명은 다이나믹형 RAM에 널리 이용할 수 있는 것이다. 본 발명은 MOSFET형 메모리셀을 갖는 외 사스메이닉 RAM에도 적용할 수 있다. 본 발명은 메모리셀내에 커패시터를 갖는 반도체 기억장치에 낸리 이용할 수 있다.

④ 특허청구의 범위

1. [A] 한쌍의 전극을 갖는 정보유지 키폐시터(Cs)와 상기 정보유지 키폐시터와 상기 한쌍의 전극중의 한쪽에 결합된 소오스-드레인 경로를 갖는 어드레스 선택 MISFET(Qm)을 포함하는 메모리셀, [B] (a) 전원전압을 받는 제1 단자, (b) 접지전위를 받는 제2 단자, (c) 상기 제1 단자에 결합된 한쪽 끝을 갖는 전류경로를 갖는 제1 저항수단(Q52, R4), (d) 상기 제2 단자에 결합된 한쪽 끝을 갖는 전류경로를 갖는 제2 저항수단(Q55, R5), (e) 제3 단자(A), (f) 게이트, 상기 제1 저항수단의 전류경로의 다른쪽 끝에 결합된 드레인 및 상기 제3 단자에 결합된 소오스를 갖는 제1 도전형의 제1 MISFET(Q53), (g) 게이트, 상기 제3 단자에 결합된 소오스 및 상기 제2 저항수단의 전류경로의 다른쪽 끝에 결합된 드레인을 갖는 상기 제1 도전형과는 다른 제2 도전형의 제2 MISFET(Q54), (h) 소오스, 상기 제1 단자에 결합된 드레인, 상기 제1 MISFET의 상기 게이트 및 상기 제1 MISFET의 상기 드레인에 결합된 게이트를 갖는 상기 제1 도전형의 제1 출입 MISFET(Q56), (i) 상기 제1 출입 MISFET의 상기 소오스에 결합된 소오스, 상기 제2 단자에 결합된 드레인, 상기 제2 MISFET의 상기 게이트 및 상기 제2 MISFET의 상기 드레인에 결합된 게이트를 갖는 상기 제2 도전형의 제2 출입 MISFET(Q57), (j) 상기 제1 출입 MISFET의 상기 소오스 및 상기 제2 출입 MISFET의 상기 소오스에 결합되고, 상기 전원전압과 상기 접지전위의 신설적으로 중간전위로 되는 강압전압을 출력하는 출력단자를 구비하는 신압발생회로(Vp), [C] 상기 강압전압을 제1 임력단자와 소정의 배스트전압을 받는 제2 임력단자를 갖고, 상기 강압전압 및 상기 소정의 배스트전압중의 한쪽의 전압을 상기 메모리셀에 포함되는 상기 정보유지 키폐시터의 다른쪽의 전극으로 출력하는 스위치회로(Sw)를 포함하는 반도체 기억장치.

2. 제1 항에 있어서, 상기 제1 저항수단은 상기 제1 단자와 상기 제1 MISFET의 상기 게이트와의 사이에 결합된 소오스-드레인 경로를 갖는 상기 제2 도전형의 제3 MISFET(Q52)를 포함하고, 상기 제2 저항수단은 상기 제2 단자와 상기 제2 MISFET의 상기 게이트와의 사이에 결합된 소오스-드레인경로를 갖는 상기 제1 도전형의 제4 MISFET(Q55)를 포함하는 반도체 기억장치.

3. 제2 항에 있어서, 상기 반도체 기억장치는 다이나믹형 랜덤 액세스 메모리이고, 상기 전원전압은 상기 다이나믹형 랜덤 액세스 메모리의 동작전압인 반도체 기억장치.

4. 제2 항에 있어서, 상기 반도체 기억장치는 상기 소정의 배스트전압을 받는 제1 외부단자(P2)를 포함하는 반도체 기억장치.

5. 제4 항에 있어서, 상기 제1 외부단자는 배스트 전용 단자인 반도체 기억장치.

6. 제4 항에 있어서, 상기 제1 외부단자는 상기 반도체 기억장치가 통상 동작시에 어드레스신호를 받는 어드레스단자인 반도체 기억장치.

7. 제4 항에 있어서, 상기 스위치회로는 상기 메모리셀에 포함되는 상기 정보유지 키폐시터와 상기 다른

쪽의 전극에 결합된 출력단자 및 상기 제1 임력단자와 상기 스위치회로의 상기 출력단자와의 사이에 결합된

동화광고 95-9072

소오스-드레인경로를 갖는 스위치 MISFET(Q58)을 또 포함하고, 상기 스위치회로의 상기 출력단자는 상기 스위치회로의 상기 제2입력단자에 접합되는 반도체 기억침치.

8. 제 7 항에 있어서, 상기 반도체 기억장치는 상기 스위치 MISFET의 게이트에 접합되고, 레스트 신호를 받는 제 2 외부단자(P1)을 또 포함하는 반도체 기억장치.

제 1의 부단자와 상기 제 2의 부단자는 테스트 전용 단자인 반도체 기억장치.

10. 제 1 항에 있어서, 상기 제 1 저항수단은 제 1 저항소자(R4)이고, 상기 제 2 저항수단은 제 2 저항소자(R5)의 바운체 기억장치.

11. [A] 한쌍의 전극을 갖는 정보유지 커패시터(Cs)와 상기 정보유지 커패시터의 상기 한쌍의 전극중의 한쪽과 겹합된 소오스-드메인 경로를 갖는 어드레스 선에 MISFET(Qm)을 포함하는 메모리셀, [B] 전원 전압과 겹지전위를 뺏고, 상기 전원전압과 상기 겹지전위의 실질적으로 증간전위로 되는 강압전압을 출력하는 전압발생회로(Vp), [C] 소정의 테스트 전압을 받는 외부단자(P2), [D] 상기 강압전압을 받는 제1입력 단자와 상기 외부단자에 겹합되어 소정의 테스트 전압을 받는 제2입력단자를 갖고, 상기 강압 전압 및 상기 소정의 테스트 전압중 한쪽의 진압을 상기 메모리셀에 포함되는 상기 정보유지 커패시터의 상기 다른쪽의 진폭으로 출력하는 스위치회로(SW)를 포함하는 반도체 기억장치.

13. 제12항에 있어서, 상기 제1 저항수단은 상기 제1 단자와 상기 제1 MISFET의 상기 게이트와의 사이

특허공고 95-9072

수단은 상기 제2 단자와 상기 제2 MISFET의 상기 게이트와의 사이에 결합된 소오스-드레인경로를 갖는
제1 드rain형의 제4 MISFET(Q55)을 포함하는 반도체 기억장치.

14. 세13항에 있어서, 상기 스위치회로는 상기 여러개의 메모리셀에 포함되는 상기 정보유지 커페시터와
상기 다른쪽 전극의 각각에 결합된 출력단자 및 상기 제1 입력단자와 상기 스위치회로의 상기 출력단자와의
사이에 결합된 소오스-드레인경로를 갖는 스위치 MISFET(Q58)을 또 포함하고, 상기 스위치회로의 상기
출력단자는 상기 스위치회로의 상기 제2 입력단자에 결합되는 반도체 기억장치.

15. 세14항에 있어서, 상기 스위치 MISFET의 게이트에 결합되고, 베스트신호를 받는 제2 외부단자
(P1), 상기 외부단자와 상기 스위치회로의 상기 출력단자와의 사이에 결합된 제1 저항(R3) 및 상기 제2 외
부단자와 상기 스위치 MISFET의 상기 게이트와의 사이에 결합된 제2 저항(R2)을 또 포함하는 반도체 기
억장치.

16. 여러개의 워드선(W0-W3), 여러개의 데이터선(D, \bar{D}) 및 여러개의 메모리셀을 갖는 메모리 어레이
(M-ARY)을 포함하는 반도체 기억장치로서, 상기 여러개의 메모리셀의 각각은 한쌍의 전극을 갖는 정보
유지 커페시터(Cs) 및 상기 여러개의 워드선 중의 대응하는 하나에 결합된 게이트와 상기 정보유지 커페시
터와 상기 한쌍의 전극 중의 한쪽과 상기 여러개의 데이터선 중의 대응하는 하나에 결합된 소오스-드레인
경로와를 갖는 어드레스 선때 MISFET(Qm)을 포함하여, 상기 반도체 기억장치는 [A] 소정의 테스트 신
호를 받는 세1 외부단자(P2), [B] 전원전압을 받는 제2 외부단자, [C] 접지전위를 받는 세3 외부단자,
[D] 상기 제2 외부단자 및 상기 제3 외부단자에 결합되고, 소정의 전위로 되는 출력신호를 출력하는 출력
단자를 갖는 전압발생회로(Vp), [E] 상기 제1 외부단자와 상기 전압발생회로의 상기 출력단자에 결합되
고, 상기 소정의 테스트 전압과 상기 출력전압중의 한쪽의 신임을 상기 여러개의 메모리셀에 포함되는 상기
정보유지 커페시터의 상기 다른쪽의 전극으로 출력하는 스위치회로(Sw)를 포함하는 반도체 기억장치.

17. 제16항에 있어서, 상기 출력전압은 상기 전원전압과 상기 접지전위 사이의 소정의 전압값을 갖는 반
도체 기억장치.

18. 제16항에 있어서, 상기 제1 외부단자는 어드레스신호를 받는 어드레스단자인 반도체 기억장치.

19. 제16항에 있어서, 상기 스위치회로는 상기 전압발생회로의 상기 출력단자에 결합된 제1 입력단자, 상
기 제1 외부단자에 결합된 제2 입력단자, 상기 여러개의 메모리셀에 포함되는 상기 정보유지 커페시터의 상
기 다른쪽의 전극에 결합된 출력단자, 상기 제1 입력단자와 상기 스위치회로의 상기 출력단자와의 사이에
결합된 소오스-드레인경로를 갖는 스위치 MISFET(Q58)을 또 포함하고, 상기 스위치회로의 상기 제2 입
력단자와 상기 스위치회로의 상기 출력단자는 결합되어 있는 반도체 기억장치.

20. 제16항에 있어서, 상기 출력전압은 상기 전원전압과 상기 접지전위의 실질적으로 중간 전위인 반도체
기억장치.

21. 제19항에 있어서, 상기 출력전압은 상기 전원전압과 상기 접지전위 사이의 전압값을 갖는 반도체 기
억장치.

22. 제17항에 있어서, 상기 반도체 기억장치는 다이나믹형 헨더 액세스 메모리이고, 상기 전원전압은 상
기 반도체 기억장치의 동작전압인 반도체 기억장치.

23. 제22항에 있어서, 상기 여러개의 데이터선은 여러개의 데이터선쌍(D, \bar{D})에 의해 구성되고, 상기 여러
개의 워드선은 상기 여러개의 데이터선쌍과 교차해서 배치되고, 상기 반도체 기억장치는 여러개의 센스암프
(SA)를 또 포함하고, 상기 여러개의 센스암프의 각각은 상기 여러개의 데이터선쌍 중의 대응하는 한쌍의

특허공고 95-9072

24. 제17항에 있어서, 상기 출력신입값은 상기 여러개의 데이타선의 브리치지 전압값과 실질적으로 동일한 반도체 기억장치.

25. 제17항에 있어서, 상기 여러개의 메모리셀의 정보유지 커페시터와 상기 한쌍의 전극과 상기 한쪽에는 상기 전원전압 또는 상기 접지전위가 부여되는 반도체 기억장치.

26. 여러개의 웨드선(W0-W3), 여러개의 데이타선(D, \bar{D}) 및 여러개의 메모리셀을 갖는 메모리 어레이(M-ARY)을 포함하는 반도체 기억장치로서, 상기 여러개의 메모리셀의 각각은 한쌍의 전극을 갖는 정보유지 커페시터(Cs) 및 상기 여러개의 웨드선 중의 대응하는 하나에 결합된 게이트와 상기 정보유지 커페시터의 상기 한쌍의 전극 중의 한쪽과 상기 여러개의 데이타선 중의 대응하는 하나에 결합된 소오스-드레인 경로와를 갖는 어드레스 선택 MISFET(Qm)을 포함하여, 상기 반도체 기억장치는 (a) 전원전압을 받는 제1단자(제2도의 Vcc), (b) 접지전위를 받는 제2단자, (c) 제3단자(A), (d) 드레인, 게이트 및 상기 제3단자에 결합된 소오스를 갖고, 제1입체전압값을 갖는 제1도전형의 제1MISFET(Q53), (e) 드레인, 게이트 및 상기 제3단자에 결합된 소오스를 갖고, 제1입체전압값을 갖는 제1도전형과는 다른 제2도전형의 제2MISFET(Q54), (f) 상기 제1단자와 상기 제1MISFET의 상기 드레인과의 사이에 결합된 전류경로를 갖는 제1저항수단(Q52, R4), (g) 상기 제2단자와 상기 제2MISFET의 상기 드레인과의 사이에 결합된 전류경로를 갖는 제2저항수단(Q55, R5), (h) 소오스, 상기 제1단자에 결합된 드레인, 상기 제1MISFET와 상기 게이트 및 상기 제1MISFET의 상기 드레인에 결합된 게이트를 갖고, 상기 제1입체전압값보다 큰 제3입체전압값을 갖는 상기 제1도전형의 제1출력 MISFET(Q56), (i) 상기 제1출력 MISFET의 상기 소오스에 결합된 소오스, 상기 제2단자에 결합된 드레인, 상기 제2MISFET의 상기 게이트 및 상기 제2MISFET의 상기 드레인에 결합된 게이트를 갖고, 상기 제2입체전압값보다 큰 제4입체전압값을 갖는 상기 제2도전형의 제2출력 MISFET(Q57), (j) 상기 제1출력 MISFET의 상기 소오스 및 상기 제2출력 MISFET의 상기 소오스에 결합되고, 상기 전원전압 및 상기 접지전위의 실질적으로 중간전위로 되는 강압전압을 출력하는 출력단자를 구비하는 전입발생회로(Vp)를 또 포함하고, 상기 전압발생회로의 상기 출력단자는 상기 여러개의 메모리셀의 각각에 포함되는 상기 정보유지 커페시터와 다른쪽의 전극에 천기적으로 결합되는 반도체 기억장치.

27. 제26항에 있어서, 상기 제1저항수단은 상기 제1단자와 상기 제1MISFET의 상기 게이트와의 사이에 결합된 소오스-드레인 경로를 갖는 상기 제2도전형의 제3MISFET(Q52)를 포함하고, 상기 제2저항수단은 상기 제2단자와 상기 제2MISFET의 상기 게이트와의 사이에 결합된 소오스-드레인경로를 갖는 제1도전형의 제4MISFET(Q55)를 포함하는 반도체 기억장치.

28. 여러개의 웨드선(W0-W3), 여러개의 데이타선(D, \bar{D}) 및 여러개의 메모리셀을 갖는 메모리 어레이(M-ARY)을 포함하는 반도체 기억장치로서, 상기 여러개의 메모리셀의 각각은 한쌍의 전극을 갖는 정보유지 커페시터(Cs) 및 상기 여러개의 웨드선 중의 대응하는 하나에 결합된 게이트와 상기 정보유지 커페시터의 상기 한쌍의 전극 중의 한쪽과 상기 여러개의 데이타선 중의 대응하는 하나에 결합된 소오스-드레인 경로와를 갖는 어드레스 선택 MISFET(Qm)을 포함하여, 상기 반도체 기억장치는 (a) 전원전압을 받는 제1단자, (b) 접지전위를 받는 제2단자, (c) 제3단자(A), (d) 드레인, 게이트 및 상기 제3단자에 결합된 소오스를 갖는 제1도전형의 제1MISFET(Q53), (e) 드레인, 게이트 및 상기 제3단자에 결합된 소오스를 갖는 상기 제2도전형과는 다른 제2도전형의 제2MISFET(Q54), (f) 상기 제1단자와 상기 제1MISFET의 상기 드레인과의 사이에 결합된 전류경로를 갖는 제1저항수단(Q52, R4), (g) 상기 제2단자와

특허공고 95-9072

스 상기 제1 단자에 결합된 드레인, 상기 제1 MISFET의 상기 게이트 및 상기 제1 MISFET의 상기 드레인에 결합된 세이트를 갖는 상기 제1 도전형의 제1 출력 MISFET(Q56), (i) 상기 제1 출력 MISFET의 상기 소오스에 결합된 소오스, 상기 제2 단자에 결합된 드레인, 상기 제2 MISFET의 상기 게이트 및 상기 제2 MISFET의 상기 드레인에 결합된 게이트를 갖고, 상기 제2 도전형의 제2 출력 MISFET(Q57), (j) 상기 제1 출력 MISFET의 상기 소오스 및 상기 제2 출력 MISFET의 상기 소오스에 결합되고, 상기 전원전압 및 상기 잠지전위의 실질적으로 중간전압으로 되는 강압전압을 출력하는 출력단자를 구비하는 전압발생회로(VP)를 포함하고, 상기 전압발생회로의 상기 출력단자는 상기 여러개의 메모리셀의 각각에 포함되는 상기 정보유지 커패시터의 나른쪽의 전극에 전기적으로 결합되는 반도체 기억장치.

29. 제28항에 있어서, 상기 제1 MISFET의 임계전압값은 상기 제1 출력 MISFET의 임계전압값보다 작고, 상기 제2 MISFET의 임계전압값은 상기 제2 출력 MISFET의 임계전압값보다 작은 반도체 기억장치.

30. 제29항에 있어서, 상기 제1 저항수단은 상기 제1 단자와 상기 제1 MISFET의 상기 게이트와의 사이에 결합된 소오스-드레인 경로를 갖는 상기 제2 도전형의 제3 MISFET(Q52)를 포함하고, 상기 제2 저항수단은 상기 제2 단자와 상기 제2 MISFET의 상기 게이트와의 사이에 결합된 소오스-드레인경로를 갖는 제1 도전형의 제4 MISFET(Q55)를 포함하는 반도체 기억장치.

31. 제26항에 있어서, 상기 반도체 기억장치는 다이나믹형 팬텀 액세스 메모리이고, 상기 전원전압은 상기 다이나믹형 팬텀 액세스 메모리의 동작전압인 반도체 기억장치.

32. 제26항에 있어서, 상기 여러개의 메이파션은 여러개의 데이터선쌍(D, \bar{D})에 의해 구성되고, 상기 여러개의 워드선은 상기 여러개의 데이터선쌍과 교차해서 배치되고, 상기 반도체 기억장치는 여러개의 센스앰프(SA)를 또 포함하고, 상기 여러개의 센스앰프의 각자는 상기 여러개의 데이터선쌍 중의 대응하는 한쌍의 데이터선쌍에 결합되는 반도체 기억장치.

33. 제26항에 있어서, 상기 여러개의 메모리셀의 정보유지 커패시터의 상기 한쌍의 전극의 상기 한쪽에는 상기 전원전압 또는 상기 잠지전위가 부여되는 반도체 기억장치.

34. 제26항에 있어서, 상기 제1 MISFET 및 상기 제1 출력 MISFET는 N채널 MOSFET이고, 상기 제2 MISFET 및 상기 제2 출력 MISFET는 P채널 MOSFET인 반도체 기억장치.

35. 제27항에 있어서, 상기 제3 MISFET의 게이트는 상기 제3 단자에 결합되고, 상기 제4 MISFET의 게이트는 상기 제3 단자에 결합되는 반도체 기억장치.

36. 제35항에 있어서, 상기 제1 MISFET, 상기 제4 MISFET 및 상기 제1 출력 MISFET는 N채널 MOSFET이고, 상기 제2 MISFET, 상기 제3 MISFET 및 상기 제2 출력 MISFET는 P채널 MOSFET인 반도체 기억장치.

37. 제28항에 있어서, 상기 제1 저항수단은 상기 제1 단자와 상기 제1 MISFET의 상기 게이트와의 사이에 결합된 소오스-드레인 경로를 갖는 상기 제2 도전형의 제3 MISFET(Q52)를 포함하고, 상기 제2 저항수단은 상기 제2 단자와 상기 제2 MISFET의 상기 게이트와의 사이에 결합된 소오스-드레인경로를 갖는 제1 도전형의 제4 MISFET(Q55)를 포함하는 반도체 기억장치.

38. 제28항에 있어서, 상기 반도체 기억장치는 다이나믹형 팬텀 액세스 메모리이고, 상기 전원전압은 상기 다이나믹형 팬텀 액세스 메모리의 동작전압인 반도체 기억장치.

39. 제28항에 있어서, 상기 여러개의 데이터선은 여러개의 데이터선쌍(D, \bar{D})에 의해 구성되고, 상기 여러개의 워드선은 상기 여러개의 데이터선쌍과 교차해서 배치되고, 상기 반도체 기억장치는 여러개의 센스앰프(SA)를 또 포함하고, 상기 여러개의 센스앰프의 각자는 상기 여러개의 데이터선쌍 중의 대응하는 한쌍의

특허공고 95-9072

네이마선상에 결합되는 반도체 기억장치.

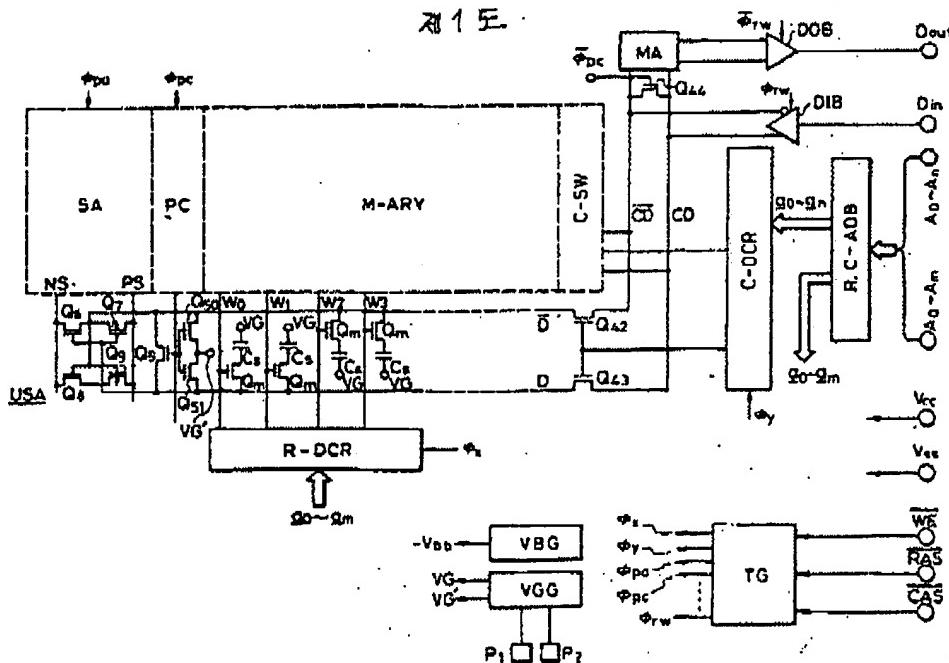
40. 제28항에 있어서, 상기 여러개의 메모리셀의 정보유지 커버시티의 상기 한쌍의 전극의 상기 한쪽에는 상기 전원전압 또는 상기 절지전위가 부어되는 반도체 기억장치.

41. 제28항에 있어서, 상기 제1 MISFET 및 상기 제1 출력 MISFET는 N채널 MOSFET이고, 상기 제2 MISFET 및 상기 제2 출력 MISFET는 P채널 MOSFET인 반도체 기억장치.

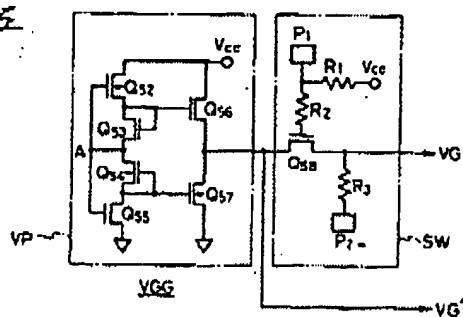
42. 제37항에 있어서, 상기 제3 MISFET의 게이트는 상기 제3 단자에 결합되고, 상기 제4 MISFET의 게이트는 상기 제3 단자에 결합되는 반도체 기억장치.

43. 제42항에 있어서, 상기 제1 MISFET, 상기 제4 MISFET 및 상기 제1 출력 MISFET는 N채널 MOSFET이고, 상기 제2 MISFET, 상기 제3 MISFET 및 상기 제2 출력 MISFET는 P채널 MOSFET인 반도체 기억장치.

제1도

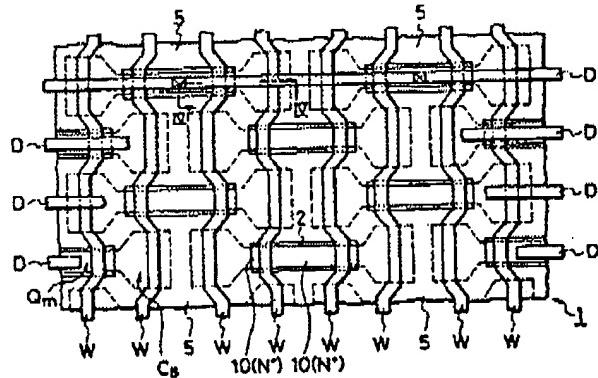


제2도

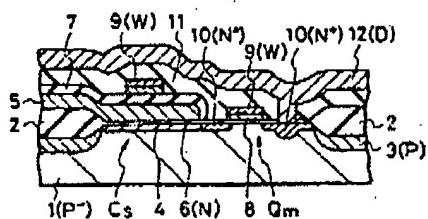


복체공고 95-9072

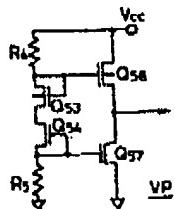
四三五



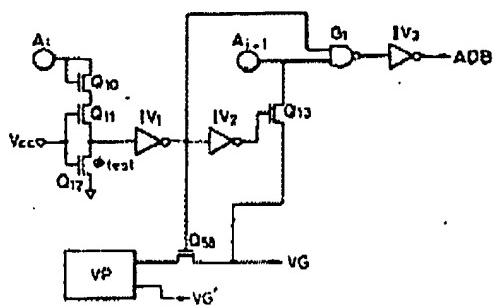
제4도



३५८



୩୬୯



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.